

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-121377

(43)Date of publication of application : 30.04.1999

(51)Int.Cl.

H01L 21/20

(21)Application number : 10-237751

(71)Applicant : INTERNATL BUSINESS MACH
CORP <IBM>

(22)Date of filing : 24.08.1998

(72)Inventor : SRIKRISHNAN KRIS V

(30)Priority

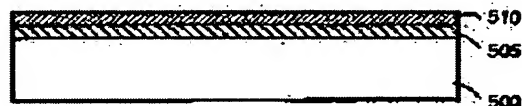
Priority number : 97 920117 Priority date : 26.08.1997 Priority country : US

(54) IMPROVED SMART CUT PROCESS FOR MANUFACTURE OF SEMICONDUCTOR MATERIAL THIN FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To permit selection and control of uniformity and thickness of a silicon-type device layer, by using an etching stop layer formed by chemical evaporation under a device layer of a starting base.

SOLUTION: A silicon single crystal semiconductor wafer 500 is used as a starting point, and a thin etching stop layer 505 having predetermined composition and thickness is epitaxially grown on the surface of the wafer 500. It is preferred that the etching stop layer 505 is a Ge compensation layer of Si-Ge doped at a high concentration, and that the dopant concentration is 10^{20} – 10^{21} atoms/cm³ with boron. This layer is attached by using a chemical evaporation process. Next, a thin device layer 510 having selected thickness and dopant concentration is epitaxially attached onto the etching stop layer 505. The device layer 510 may be Si, Si-Ge, Ge, or other arbitrary compound semiconductors.

**LEGAL STATUS**

[Date of request for examination] 12.07.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3037934

[Date of registration] 25.02.2000

BEST AVAILABLE COPY

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121377

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁶

H 0 1 L 21/20

識別記号

F I

H 0 1 L 21/20

審査請求 未請求 請求項の数25 O L (全 9 頁)

(21) 出願番号 特願平10-237751

(22) 出願日 平成10年(1998) 8月24日

(31) 優先権主張番号 08/920117

(32) 優先日 1997年8月26日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 クリス・ブイ・スリクリシュナン

アメリカ合衆国12590、ニューヨーク州ワ
ッピンガーズ・フォールズ、シャーウッド・ハイツ 33

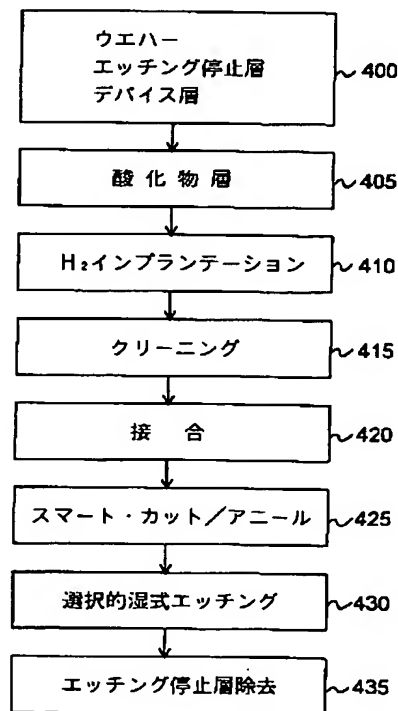
(74) 代理人 弁理士 坂口 博 (外2名)

(54) 【発明の名称】 半導体材料薄膜の製造のための改良型スマート・カット・プロセス

(57) 【要約】

【課題】スマート・カット・プロセスと同様であるが研磨による厚さの変動を受けないようなプロセスであって、シリコン製造と両立性があり、スマート・カット・プロセスとは関係なく S O I デバイス層の均一性及び厚さが選択及び制御可能であるようなプロセスを提供する。

【解決手段】スマート・カット・プロセスを組み合わせエッチング停止層を用いることにより、スマート・カット・プロセスを改良した単結晶フィルムの製造プロセスが開示される。エッチング停止層があるため、製造後に化学的機械的研磨 (CMP) が必要とされない。従って、絶縁体上のシリコン (S O I) 型の製造された基体におけるデバイス層の厚さおよび平滑性は、CMPのパラメータで決まるのではなく、付着された層の均一度および平滑度によって決まる。従って、デバイス層の平滑度および均一性が改善される。



【特許請求の範囲】

【請求項 1】後で半導体構造が形成される実質的に均一な厚さの薄い半導体層を形成する方法であって、半導体基体から成る第 1 のウエハーを与えるステップと、第 1 のウエハーの上にエッチング停止層を形成するステップと、エッチング停止層の上にデバイス層を形成するステップと、デバイス層の上に接合層を形成するステップと、埋設層をその中に形成するために前記半導体基体中にイオンをインプラントするステップと、接合層を第 2 のウエハーに接合するステップと、第 1 および第 2 ウエハーを第 1 の温度に加熱するステップと、接合された第 1 および第 2 のウエハーを埋設層に沿って分離して第 2 のウエハーが最上部の表面層を持つようにする分離ステップと、最上部の表面層およびエッチング停止層を取り除くステップと、を含み、これによりデバイス層の下にある部分が第 2 のウエハーに残って薄い半導体層を形成するようにすることを特徴とする方法。

【請求項 2】前記分離ステップの後、前記最上部の表面層を有する前記第 2 のウエハーを第 2 の温度まで加熱するステップを更に含む請求項 1 の方法。

【請求項 3】第 2 のウエハーを加熱する前記ステップは 30 分ないし 8 時間の範囲にわたって 1000℃でアニールすることを含む請求項 2 の方法。

【請求項 4】前記半導体基体はシリコン (Si) 基体であり、前記イオンは水素イオンであり、前記埋設層は水素およびシリコンから成る請求項 1 の方法。

【請求項 5】前記水素イオンは 50 ないし 150 KeV の範囲のエネルギー、および 2×10^{16} ないし 1×10^{17} イオン/cm² の範囲の濃度でインプラントされる請求項 4 の方法。

【請求項 6】前記埋設層は前記接合層の最上部の表面の 1 ないし 2 μm の深さの所に形成される請求項 1 の方法。

【請求項 7】前記加熱するステップは 30 分ないし 120 分の範囲の間 400℃ないし 600℃の範囲の温度でアニールすることを含む請求項 1 の方法。

【請求項 8】前記接合層を前記第 2 のウエハーに接合する前記ステップは親水性接合である請求項 1 の方法。

【請求項 9】前記半導体基体は Si 基体であり、前記接合層を前記第 2 のウエハーに接合する前記ステップは、前記第 2 のウエハーの露呈された表面上に 2 酸化シリコンの層を形成するステップと、前記接合層および前記 2 酸化シリコン層を濡らすステップと、

前記接合層および前記 2 酸化シリコン層を接触させるステップと、前記接合層および前記 2 酸化シリコン層を互いに押圧してその間に接合を形成するステップと、を含む、請求項 1 の方法。

【請求項 10】前記最上部の表面層および前記エッチング停止層を取り除く前記ステップは、前記エッチング停止層をそれ程侵さない第 1 のエッチング剤で前記最上部の表面層をエッチングするステップと、前記デバイス層の残存部をそれ程侵さない第 2 のエッチング剤で前記エッチング停止層をエッチングするステップと、を含む請求項 1 の方法。

【請求項 11】前記第 1 のエッチング剤は水酸化カリウムまたは水酸化アンモニウムの溶液から成る請求項 10 の方法。

【請求項 12】前記最上部の表面層および前記エッチング停止層を取り除く前記ステップは、10 対 1 以下の選択性を持つ低い選択性のエッチング剤で前記最上部の表面層を取り除き、続いて 10 対 1 以下の選択性のエッチング剤で前記エッチング停止層を取り除くことを含む請求項 1 の方法。

【請求項 13】前記半導体基体は Si 基体であり、前記エッチング停止層は高濃度にドーパされた Si 層、シリコンゲルマニウム (Si-Ge) 層、応力歪み Si-Ge 層、Ge 層、および Si-Ge の Ge で補償された層の何れかである請求項 1 の方法。

【請求項 14】前記エッチング停止層は 10^{20} ないし 10^{21} 原子/cm³ の範囲の濃度の硼素でドーパされる請求項 1 の方法。

【請求項 15】前記エッチング停止層の厚さは 100 ないし 2000 Å の範囲である請求項 1 の方法。

【請求項 16】前記エッチング停止層の厚さは 250 Å である請求項 15 の方法。

【請求項 17】前記エッチング停止層を形成する前記ステップは化学的蒸着を用いる請求項 1 の方法。

【請求項 18】前記半導体基体は Si 基体であり、前記デバイス層は Si、Ge、または Si-Ge の 1 つである請求項 1 の方法。

【請求項 19】前記デバイス層は 5 ないし 30 パーセントの範囲内の原子パーセントの Ge を含む Si-Ge である請求項 18 の方法。

【請求項 20】前記半導体基体は Si 基体であり、前記デバイス層は Si、Ge、および Si-Ge の内の少なくとも 1 つである請求項 1 の方法。

【請求項 21】前記デバイス層の厚さは 500 ないし 5000 Å の範囲内である請求項 1 の方法。

【請求項 22】前記デバイス層の厚さは 1000 Å である請求項 21 の方法。

【請求項 2 3】前記接合層およびデバイス層をフォトリトグラフによりパターン化してエッチングし、これにより前記接合するステップの前に開孔を形成するステップを更に含む請求項 1 の方法。

【請求項 2 4】前記半導体基体はシリコンである請求項 1 の方法。

【請求項 2 5】絶縁性構造体の上に薄いシリコン層を形成する方法であって、シリコン基体から成る第 1 のウエハーを与えるステップと、

第 1 のウエハーの上にエッチング停止層を形成するステップと、

エッチング停止層の上にデバイス層を形成するステップと、

デバイス層の上に接合層を形成するステップと、水素が豊富な埋設層をその中に形成するために前記シリコン基体中に水素イオンをインプラントするステップと、

第 2 のウエハーの露呈された表面上に 2 酸化シリコンの層を形成するステップと、

前記接合層および前記 2 酸化シリコン層を濡らすステップと、

前記接合層及び前記 2 酸化シリコン層を互いに接触させるステップと、

前記接合層及び前記 2 酸化シリコン層の間に親水性接合を形成するために前記接合層及び前記 2 酸化シリコン層を互いに押しつけるステップと、

前記接合された第 1 および第 2 ウエハーを第 1 の温度でアニールするステップと、

接合された第 1 および第 2 のウエハーを前記埋設層に沿って分離して第 2 のウエハーが前記第 1 のウエハーからの Si から成る最上部の表面を有するようにする分離ステップと、

前記最上部の表面を有する前記第 2 のウエハーを第 2 の温度でアニールするステップと、

前記エッチング停止層の残存部分をそれ程侵さない第 1 のエッチング剤で前記最上部の表面層をエッチングするステップと、

前記デバイス層の残存部分をそれ程侵さない第 2 のエッチング剤で前記エッチング停止層をエッチングするステップと、

を含み、これによりデバイス層の下にある部分が第 2 のウエハーに残って、前記絶縁性構造体の上に薄いシリコン層を形成するようにすることを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、概して半導体薄膜の製造プロセスに関するものであり、具体的には単結晶フィルム of の製造に適用可能なプロセスに関する。

【0002】

【従来の技術】単結晶半導体フィルムを製造するためには種々の方法及びプロセスがあるが、これらは複雑で高コストであることが多い。多結晶または非晶質フィルムを製造することは比較的容易であるが、単結晶フィルムを製造することはもっと困難である。単結晶フィルムを製造するのに用いられる方法の内には絶縁層上のシリコン (SOI) 型の基体の製造に用いられるものがあるが、その目的はフィルムから電氣的に絶縁された基体上に単結晶シリコン・フィルムを製造することにある。

10 【0003】従来型の SOI ウエハーの断面が図 1 に示されている。基体 10 の上に絶縁層 15 が形成される。絶縁層 15 の上にデバイス層 20 が形成される。SOI ウエハーはマイクロエレクトロニクスの分野において知られており、放射線硬化デバイスを含む特別の用途、例えばスタティック・ランダム・アクセス・メモリ (RAM)、および最近では高性能相補型金属酸化物半導体 (CMOS) やダイナミック・ランダム・アクセス・メモリ (DRAM) の用途に用いられる。SOI ウエハーは、1) 酸素インプラント (SIMOX) (シリコンに酸素がインプラントされて 2 酸化シリコン (SiO₂) 埋設層に変換される)、2) ウエハーボンディングーエッチ・バック (BESOI) (2 枚のウエハーが酸化表面層で接合され 1 つの層が薄いデバイス層を残すために薄くされる)、により通常は製造される。過去数年の間 BESOI に基づく SOI 材料技術への関心が高まってきた。従来の BESOI プロセスでは、均一性および許容誤差の問題を最小限にするために複数回エッチされた層が用いられている。

30 【0004】SOI 基体を製造するもう 1 つの最近のプロセスは、スマート・カット (登録商標) プロセスである。スマート・カット・プロセスは米国特許第 5,374,564 号に述べられている。これは BESOI プロセスと同じであるが、エッチングにより薄くする代わりに接合の前にインプラントされる水素層を用いており、これにより接合後バルクのシリコンが割れて薄い層を残す。つまり、スマート・カット・プロセスでは接合されたウエハーからデバイス・ウエハーのバルクを割るために水素インプラントレーションおよびアニーリングが用いられる。切り取られた形の SOI ウエハーを平面化し不均一性を最小にするために化学的機械的研磨 (CMP) が用いられる。

40 【0005】スマート・カット・プロセスは次のステップから成る。1) デバイス・ウエハーがデバイス級品質の表面層を持つように処理され、デバイス層の上に酸化物層が設けられ、ある深さの所に水素が豊富な埋設層がインプラントされる。2) 酸化物表面を持つ “ハンドル・ウエハー” が与えられる。3) デバイス・ウエハーがひっくり返されて酸化物表面が接合される。4) 構造体がアニールされ水素生成により接合空所が形成される。50 5) 構造体が割れる。6) 転写されたデバイス層が CM

P 研磨され清浄にされる。

【0006】図2はスマート・カット・プロセスを用いてSOI基体を形成するプロセス・ステップの流れ図である。図3ないし図5は図2のステップを示す図である。デバイス級品質のウエハー200がステップ100で与えられる。ウエハー表面はステップ105で酸化され、これにより熱的に成長したSiO₂層205（即ち誘電体層）により被せられる、即ち埋設される。誘電体層205はSiO構造の埋設された酸化物となる。水素イオンがステップ110において50ないし150 KeV、 2×10^{16} ないし 1×10^{17} イオン/cm²の濃度でインプラントされ、図3に示されるように上面の約0.5ないし1 μm下に水素に富んだ層210を形成する。デバイス層となる薄いシリコン層は層207で示されている。

【0007】デバイス・ウエハー200および支持基体（インプラントされていないハンドル・ウエハー）220がRCAウエハー・クリーニング手順などの通常のクリーニング手法を用いてステップ115でクリーニングされる。デバイス・ウエハー200および支持基体220の表面は親水性にされ、図4に示されるようにステップ120で室温において共に接合される。支持基体220は剛直性を与えるものとして働き、SOI構造中の埋設酸化物の下にバルク・シリコンを与える。

【0008】親水性（または直接的）接合では、原子の電荷が存在するため材料表面に水酸基グループ（OH⁺）が形成される。更に、表面上に水分子の幾層かが水酸基グループの周りに形成される。それぞれ十分に平らな面を有するこのような2つのイオン性物質が互いに付着すると、これらの物質は水酸基グループおよび水分子の間に形成される水素結合による親水性接合によって互いに強固に接合される。このようにしてイオン性物質の平らな面は接着剤を用いることなく互いに親水性接合で接合せらる。その後のアニーリングは接合を更に強化する。

【0009】接合された2つのウエハー200および220に2相の熱処理が加えられる。ステップ125において、接合されたウエハー200及び220は約400ないし600℃までアニールされ、これがもろいシリコン水酸化物の領域の形成およびリンクを促進する。水酸化物領域が水を横切って完全にリンクされるとデバイス・ウエハー200は割れて水素が豊富な面にそって接合体から離れる。薄いシリコン層207は図5に示すように支持基体220に接合されたままとなる。次に薄いシリコン層207（デバイス層）が依然接合されている支持基体220が高温（約1000℃）でアニールされて支持基体220とデバイス層207との間の接合をより強固にする。分離後、デバイスの分離面は数百オングストローム程度の粗さを持つのが普通である。表面の粗さを減らすためにステップ130でCMPが実施される。

したがって、インプランテーション・プロセスによりその厚さが良好に決められるのにも関わらず、最終的な厚さの均一度および表面粗さは主としてCMPのパラメータに依存する。

【0010】スマート・カット・プロセスの1つの欠点はカットした状態の表面の粗さが表面平滑化のため研磨（例えばCMP）を必要とするということである。この研磨はウエハー全体にわたってデバイス層の厚さの均一性に影響を与える。従って、研磨プロセスは粗さを改善するけれども同時に厚さの変動を生じる。

【0011】もう1つの欠点は、スマート・カット・プロセスを用いて非常に薄いデバイス層（約1000 Åの厚さ程度）を得ることが容易でないということである。これは水素のインプラントおよび拡散が大きな不確実性を持ち、このためより厚い層の形成から出発してそれを薄くし、200 Åの許容誤差の中に納めることを必要とするからである。しかしながら、スマート・カット・プロセスにおいてカットされた状態のウエハーの粗さは約100ないし200 Åの範囲にあるのが普通である。したがって、スマート・カット・プロセスはこのような薄層デバイスにうまく適合するものではない。

【0012】SOI構造を作るその他の方法はエッチング停止層またはエッチング選択性の層を用いる。例えば、BE SOI処理の或る形では厚さおよび均一性の制御を改善するためにCMPと共にエッチング停止層が用いられる。しかしながら、従来のプロセスではエッチングおよびエッチング停止層がCMPに加えて用いられる。

【0013】

【発明が解決しようとする課題】単結晶フィルムを作る技術は十分に開発されているが、この技術につきまとう幾つかの問題が残されている。或る特定の問題は、表面粗さを除去するために研磨するので、デバイス層の最終的厚さおよび均一性が容易に制御されないことである。従って、スマート・カット・プロセスと同様であるが研磨による厚さの変動を受けないようなプロセスに対する必要性が存在する。また、シリコン製造と両立性があり、スマート・カット・プロセスとは関係なくSOIデバイス層の均一性及び厚さが選択及び制御可能であるようなプロセスに対する必要性がある。

【0014】

【課題を解決するための手段】本発明においては、エッチング停止層が出発基体のデバイス層の下に形成される。エッチング停止層を用いることにより、CMPの必要性が避けられ、最終的なデバイスの厚さ、均一性、および平滑性が付着されるフィルムによって決まることになる。このエッチング停止層は化学的蒸着（CVD）またはインプランテーションによって形成することができる。

【0015】本発明において、後で半導体構造が形成さ

れる実質的に均一な厚さの薄い半導体層は、半導体基体（この後シリコン（Si）基体と呼ばれる）から成る第1のウエハーを与え、第1のウエハーの上にエッチング停止層を形成し、エッチング停止層の上にエピタキシャル・デバイス層を形成し、デバイス層の上に接合層を形成し、埋設層をその中に形成するためにシリコン基体中にイオンをインプラントし、接合層を第2のウエハーに接合し、第1および第2ウエハーを加熱し、埋設層に沿って接合された第1および第2のウエハーを分離して第2のウエハーが第1のウエハーからのSiからなる最上部の表面層を持つようにし、最上部表面層およびエッチング停止層を取り除き、これによりエピタキシャル・デバイス層の下にある部分が第2のウエハーに残って薄い半導体層を形成するようにすることによって作られる。

【0016】本発明に含まれるもう1つの実施例は、エッチング停止層をそれ程侵さない第1のエッチング剤の中で最上部表面層をエッチングし、次にエピタキシャル・デバイス層の残存部分をそれ程侵さない第2のエッチング剤の中でエッチング停止層をエッチングすることを含む。

【0017】本発明に含まれる更に別の実施例は、接合層およびエピタキシャル・デバイス層をフォトリソグラフによりパターン化してエッチングし、これによりイオン・インプラント・ステップの後にその中に開孔を形成することを含む。

【0018】本発明の上述の態様及びその他の態様は添付図面と共に以下の詳細な説明を考察することによって明らかとなるであろう。

【0019】

【発明の実施の形態】本発明はスマート・カット・プロセスにおいてエッチング停止層を用いることによりその改良を図る。エッチング停止層があるのでウエハーが分離された後（図2のステップ125）化学的機械的研磨（CMP）が必要とされない。従って、製造された絶縁体上のシリコン（SOI）型の基体におけるデバイス層の厚さおよび平滑度は、CMPのパラメータではなく、蒸着層の均一度および平滑度、並びに湿式エッチングの選択性によって決まる。これによりデバイス層の平滑度および均一度が改善される。

【0020】図6は本発明による製造プロセスの例示的1実施例の流れ図である。図7ないし図13は、図6のプロセス流れ図から選ばれたステップの対応する断面図を示す。所望の配位を有する好適にはシリコンの単結晶半導体ウエハー500がステップ400における出発点として用いられる。出発ウエハー500のどの部分も最終的SOI構造において残らないので、ウエハー500はデバイス級の品質を持つ必要はない。ウエハー500は 10^{15} ないし 10^{18} 不純物/cm³の範囲の低いドーブ濃度を有するのが普通である。所定の組成および厚さの薄いエッチング停止層505がウエハー表面にエピタ

キシャルに成長される。エッチング停止層505は 3.9×10^{-7} ないし 7.8×10^{-5} インチ（100ないし2000Å）の範囲の厚さであることが好ましく、特に約 9.8×10^{-7} インチ（250Å）の厚さであることが最も好ましい。エッチング停止材料は基体材料に比べてそのエッチングの振る舞いが選択性であるように選ばれる。例えば、高濃度にドーブされた（p⁺またはp⁻）シリコン層、シリコンゲルマニウム（SiGe）層、応力歪みSi-Ge層、またはGe層をエッチング停止層として用いることができる。エッチング停止層505は高濃度にドーブされたSi-GeのGe補償層であることが好ましい。ドーパント濃度は 10^{20} ないし 10^{21} 原子/cm³の範囲の硼素であることが好ましい。この層は化学的蒸着（CVD）プロセスを用いて付着されるのが好ましい。

【0021】次に図7に示すように、選択された厚さおよびドーパント濃度の薄いデバイス層510がエッチング停止層505の上にエピタキシャルに付着される。エッチング停止層505の選択は、高品質の格子位置の狂いが少ないデバイス層510が付着されるようにエッチング停止層505とデバイス層510との間の応力の不整合を考慮に入れる必要がある。デバイス層510はSi、Si-Ge、Ge、またはその他任意の化合物半導体であって良い。この用途に用いられるSi-Ge層は5ないし30原子パーセントのGeを含んでよい。デバイス層510の厚さは約 3.9×10^{-6} インチ（1000Å）であることが好ましく、デバイスの応用上の必要に応じて 2×10^{-6} ないし 2×10^{-5} インチ（500ないし5000Å）の範囲であって良い。

【0022】ステップ405でデバイス層510の表面上に酸化物層515（即ち、接合層または誘電体層）が形成される。接合層515はデバイス層510の一部を熱的に酸化することによって形成されるのが好ましいが、高品質の付着酸化物（熱酸化物と同様なもの）を用いることもできる。図8はデバイス層510の一部が熱的に酸化物層515に変換されており、層510の厚さが対応して減少していることを示す。厚さが減少したデバイス層を510'で示す。2酸化シリコンを付着するためには種々のCVDおよび物理的付着プロセスを用いることができる。熱酸化によりデバイス層510をその場で酸化物に変換するには炉での酸化または急速熱酸化によって行うことができる。層505、510及び515の合計厚さは約 0.8×10^{-5} ないし 4×10^{-5} インチ（2000Åないし1μm）の範囲であるのが普通である。

【0023】ステップ410で、 10^{-16} ないし 2×10^{-17} イオン/cm²の濃度、50ないし150KeVのインプランテーション・エネルギーで基体500に水素イオンがインプラントされる。より大きな基体ではより高い濃度を用いることができる。水素インプランテーシ

ンは酸化物層 515 の最上部表面から約 4×10^{-5} ないし 8×10^{-5} インチ (1 ないし $2 \mu\text{m}$) の深さの所に水素が豊富な層 520 を形成する。エッチング停止層 505、デバイス層 510 及び表面酸化物層 515 の厚さは判っているので、インプラントされる水素のピークがエッチング停止層の下に所望の深さの所に生じるように適正なインプランテーション電圧を選択することができる。

【0024】表面酸化物層 535 を有する支持ウエハー基体 530 が与えられ、ステップ 415 で基体 500 及び 530 の両方とも RCA クリーニング・プロセスのような普通の湿式処理を用いてクリーニングされる。クリーニングにより層 515 及び 535 の表面から表面不純物および粒子が取り除かれる。クリーニングその他の処理は、層 515 及び 535 の表面に舞い落ちる粒子の数を最小にするためクリーン・ルームで行われることが好ましいことに留意されたい。

【0025】図 9 に示されるようにステップ 420 で、層 515 及び 535 の表面は親水性により接合される。親水性接合は露呈された表面をクリーニングし、表面を濡らし、表面同士を互いに接触させ、そして表面同士を押しつけ合うことにより行われる。親水性による接合は室温で行われることが好ましい。

【0026】引き続きステップ 425 で、約 400 ないし 600°C の間の温度まで加熱することにより、接合されたウエハーがアニールされる。この温度は約 500°C で約 30 ないし 120 分の間であることが好ましい。アニールすることにより水酸化物相が形成され、水酸化物相がリンクされ、この結果、図 9 に示すように基体 500 の層 520 に沿って接合されたウエハーが割れたり、または劈開されたりすることになる。これは 2 つの別個の構造体をもたらす。1 つは基体 500' で有り、これは本質的にウエハー 500 である。もう 1 つは基体 530 であり、これは層 505、510' および 515 と共に薄い最上部表面層 500'' を有する。図 11 は分離ステップの後の SOI ウエハーの構造を示す。層 500'' はインプラントの深さおよびデバイス、エッチング停止層および酸化物層の厚さに基づいて約 1×10^{-5} ないし 4×10^{-5} インチ (2500 \AA ないし $1 \mu\text{m}$) の範囲の厚さである。

【0027】次に、薄いシリコン層 510' (デバイス層) がまだ接合されている支持基体 530 を高温 (約 1000°C) で約 30 分ないし 8 時間の間アニールして支持基体 530 及びデバイス層 510' の間の接合を強化することが好ましい。

【0028】ステップ 430 で薄い最上部表面層 500'' を除去するため選択的な湿式エッチングが行われる。エッチングはエッチング停止層 505 によって停止される。層 500'' の形状または粗さおよび非均一性はエッチングの選択性に依じて十分に低減される。10 倍

の中層の選択性はエッチング停止層 505 の上で 10 倍だけ層 500'' の粗さおよび非均一性を低減する。例えば、 7.8×10^{-7} ないし 1.2×10^{-6} インチ (200 ないし 300 \AA) の粗さはエッチング停止層の上で 7.8×10^{-7} インチ (20 \AA) 以下まで低減されるであろう。水酸化カリウム (KOH) または水酸化アンモニウム (NH_4OH) などの腐食性のエッチング溶液は高濃度にドーパされた Si または Si-Ge に比べて低濃度にドーパされたシリコンを 100 対 1 またはそれ以上の比率でエッチする (即ち、低濃度にドーパされた基体対エッチング停止層のエッチングの選択性は 100 対 1 である)。その後残存するエッチング停止層 505 はステップ 435 で湿式または乾式エッチングにより除去される。選択性プロセスは好ましく、2 倍と言う低い選択性であっても有益である。図 13 は例示的プロセスから得られる完成 SOI ウエハーを研磨していない状態で示す。またここでデバイス層の厚さはデバイス層の付着の均一性およびエッチング停止層によって正確に制御されている。

【0029】結果として得られるデバイス層 510' は蒸着された状態のデバイス層 510 の平滑度とほぼ同じ平滑度を有し、仕上げを必要としない。エッチング停止層 505 及びデバイス層 510 は蒸着層であるから、ウエハー全体にわたって非常に良好な均一度及び厚さの制御が可能であり、これはこの例示的プロセスにおいても当てはまる。

【0030】図 14 は本発明による製造プロセスの別の例示的実施例のプロセス流れ図を示す。図 14 において、プロセス・ステップは図 6 に関して述べたものと同じであるが、接合における問題を除くために追加のプロセス・ステップが用いられている点だけが異なる。物理的接合の品質は接合面にある粒子の存在および局所的なウエハーの歪みにより不利な影響を受ける。物理的接合を作り上げるために相当な力でもってこれらの面を密に接触させる場合でも高品質の表面が必要である。例えば、ウエハーの上に 3、4 個の粒子があってもウエハーの大部分の密な接触が妨げられることがある。

【0031】この問題を最小にする 1 つの方法はフォトリソグラフィおよびエッチング・プロセスを用いて酸化物層 515 及びデバイス層 510 を、ここのチップ・サイズに相当する大きな表面アイランドまたは溝の形にパターン化することである。これはウエハー上の個々の粒子がそれが置かれた個々のアイランドに影響を与えるが隣のアイランドには影響を与えないようにする。これは、1 つの大きな領域の代わりに複数のより小さな領域が取り付けられ、接合されると言う利点を与える。このようにして、デバイス・アイランドの大きな領域が首尾良く転写されデバイスをつくるために使用できるようになる。

【0032】更に、窪んだ領域はクリーニングの間に粒

子のトラップとして働いて接合プロセスからの歩留まりを高めるのに役立つ。更に、ウエハーの1つに局部的な歪みがあると個々のチップの場所が失われることになるが、デバイス層全体で場所が失われるわけではない。図14はプロセス・ステップについて図6と同じであるが、ステップ410がステップ600と置き換えられる点だけが異なる。ステップ600において、追加のパターン化ステップが含まれている。アイランドまたは溝は 4×10^{-5} ないし 8×10^{-5} インチ (1 ないし $2 \mu\text{m}$) の深さにエッチングされるのが好ましい。溝は酸化物層およびデバイス層を通り越してエッチングされることが好ましいが、エッチング停止層505に入り込んでも良い。

【0033】本発明は、シリコン-ゲルマニウム (Si-Ge)、Ge、およびSiの薄層を層が蒸着されるにつれて絶縁性基体上のサンドイッチ構造として形成する有利な方法を提供する。例えば、Si/SiGe/Si/SiO₂の最終的構造を形成することを望むならば、デバイス・ウエハーの上に高濃度にドーパされたSiGeエッチング停止層を付着し、これに続いてSi/SiGe/Si層を付着する。最上部のシリコン層の一部が接合を与えるために酸化されうる。その他のプロセス・ステップは図6および図14に関して述べたのと同じである。SiGeデバイス層は高周波トランジスタを形成するのに望ましい。

【0034】本発明はスマート・カット・プロセスおよびBESOIプロセスの望ましい面を組み合わせることからプロセス単独で得られるものより均一性の優れた薄いデバイスSOI層を実現する。本発明はCMPの必要性を除くためにエッチング停止層を使用してデバイス層の厚さの正確な制御を実現する。デバイス層の均一性はスマート・カット・プロセスまたはCMPプロセスとは無関係である。本発明はスマート・カット・プロセスのコスト的な利点を保って、それを均一な薄いデバイス層をより容易にかつ高い信頼度で得るように拡張するものである。本発明は平滑で均一なデバイス層を有するSOIウエハーを得るために分離後の研磨を何ら必要としない。本発明はスマート・カット・プロセスの限界を超えてより良好な歩留まりを可能にし、デバイス層の厚さに対してより良い制御を与える。

【0035】本発明はある種の実施例を参照して

説明されたが、本発明はここで示されたものに限定されることを意図するものではない。本発明の精神から逸脱することなく、特許請求の範囲の均等物の範囲において種々の変更が細部において加えられ得ることは言うまでもない。

【図面の簡単な説明】

【図1】従来型のSOIウエハーの側面図を示す。

【図2】従来のスマート・カット・プロセスのプロセス・ステップの流れ図を示す。

【図3】図2のプロセスに従って製造される従来のウエハーの側面図である。

【図4】図2のプロセスに従って製造される従来のウエハーの側面図である。

【図5】図2のプロセスに従って製造される従来のウエハーの側面図である。

【図6】本発明による例示的製造プロセスのプロセス流れ図を示す。

【図7】図6のプロセスに従って製造されるウエハーの側面図である。

【図8】図6のプロセスに従って製造されるウエハーの側面図である。

【図9】図6のプロセスに従って製造されるウエハーの側面図である。

【図10】図6のプロセスに従って製造されるウエハーの側面図である。

【図11】図6のプロセスに従って製造されるウエハーの側面図である。

【図12】図6のプロセスに従って製造されるウエハーの側面図である。

【図13】図6のプロセスに従って製造されるウエハーの側面図である。

【図14】本発明による別の例示的製造プロセスのプロセス流れ図を示す。

【符号の説明】

500：ウエハー

505：エッチング停止層

510：デバイス層

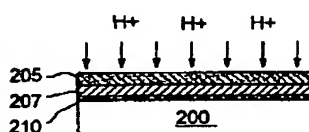
515：接合層

520：水素が豊富な層

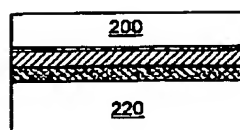
530：支持ウエハー基体

535：酸化物層

【図3】



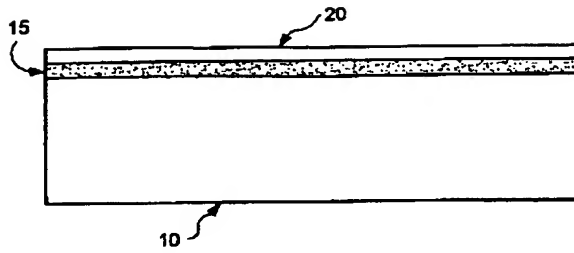
【図4】



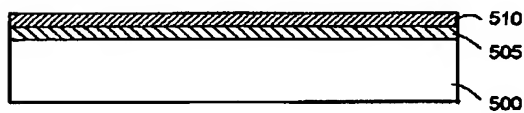
【図5】



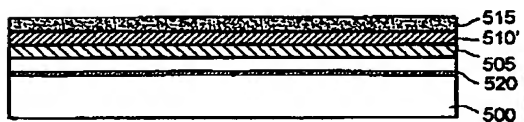
【図1】



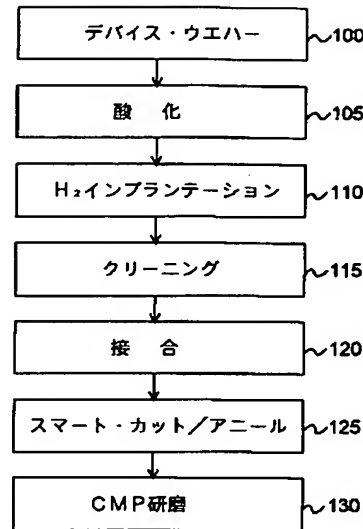
【図7】



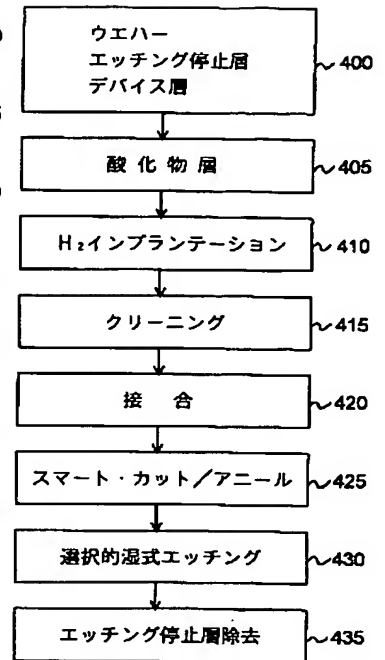
【図8】



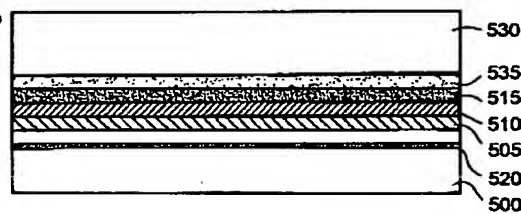
【図2】



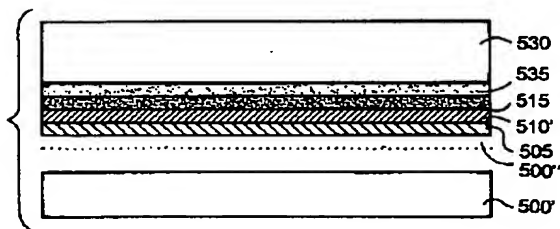
【図6】



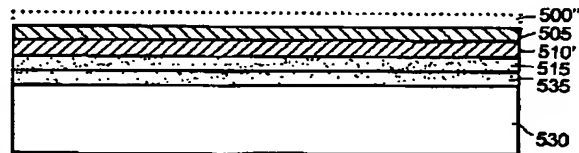
【図9】



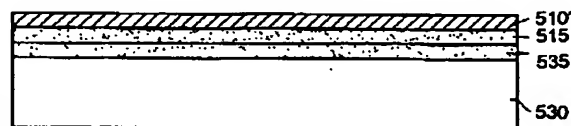
【図10】



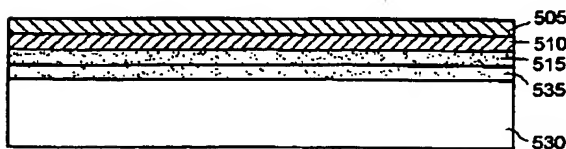
【図11】



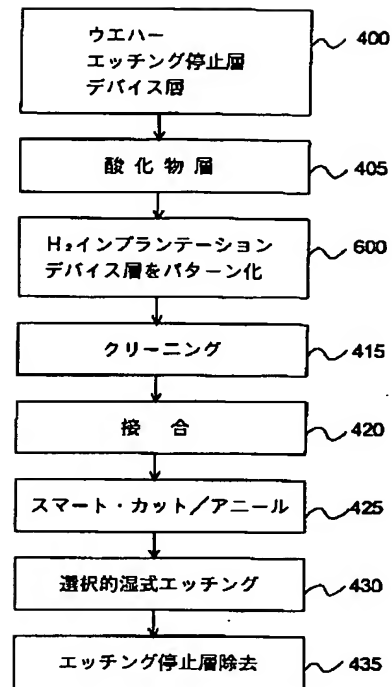
【図13】



【図12】



【図14】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.